

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Hideaki MATSUHASHI :
Serial No. NEW : **Attn: APPLICATION BRANCH**
Filed June 23, 2003 : Attorney Docket No. 2003-0859A
SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


Applicant in the above-entitled application hereby claims the date of priority under the International Convention of Japanese Patent Application No. 290989/2002, filed October 3, 2002, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Hideaki MATSUHASHI

By



Nils E. Pedersen
Registration No. 33,145
Attorney for Applicant

NEP/krl
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
June 23, 2003

THE COMMISSIONER IS NOT AUTHORIZED
TO CHANGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月 3日

出 願 番 号

Application Number:

特願2002-290989

[ST.10/C]:

[JP2002-290989]

出 願 人

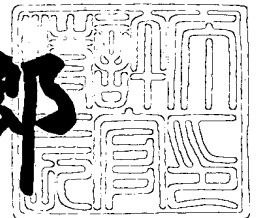
Applicant(s):

沖電気工業株式会社

2003年 5月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3039735

【書類名】 特許願

【整理番号】 MA001399

【提出日】 平成14年10月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/87

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

 【氏名】 松橋 秀明

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

 【代表者】 篠塚 勝正

【代理人】

 【識別番号】 100083840

 【弁理士】

 【氏名又は名称】 前田 実

【選任した代理人】

 【識別番号】 100116964

 【弁理士】

 【氏名又は名称】 山形 洋一

【手数料の表示】

 【予納台帳番号】 007205

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9003703

【包括委任状番号】 0101807

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板の上に配置された下層埋め込み酸化膜と、その上に配置された応力緩和膜と、その上に配置された上層埋め込み酸化膜と、その上に配置された S O I 膜とを有し、該 S O I 膜にソース、ドレイン及びチャンネルが形成され M O S F E T を有し、上記応力緩和膜の熱膨張係数が上記上層埋め込み酸化膜の熱膨張係数より大きいことを特徴とする半導体装置。

【請求項 2】 上記応力緩和膜がシリコン膜で形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 上記シリコン膜が、結晶膜、ポリクリスタル膜、又はアモルファス膜で形成されており、かつ、上記シリコン膜は、ノンドープシリコン膜であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 上記上層埋め込み酸化膜が上記 S O I 膜と略同じ膜厚であり、上記下層埋め込み酸化膜が上記上層埋め込み酸化膜よりも厚いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 上記応力緩和膜が、第 1 のシリコン膜と、その上に配置されたゲルマニウム膜と、その上に配置された第 2 のシリコン膜とを積層した複合膜で形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 上記複合膜の上記第 1 及び第 2 のシリコン膜が、結晶膜、ポリクリスタル膜、又はアモルファス膜で形成されており、かつ、上記シリコン膜は、ノンドープシリコン膜であることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 上記複合膜の上記第 1 及び第 2 のシリコン膜が、上記複合膜の上記ゲルマニウム膜に比べて薄いことを特徴とする請求項 5 に記載の半導体装置。

【請求項 8】 上記応力緩和膜の熱膨張係数が S O I 膜の熱膨張係数と略等しい又はそれよりも大きいことを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】 絶縁層と、前記絶縁層上に設けられた半導体層と、前記半導

体層に形成された半導体素子とを有する半導体装置において、

前記絶縁層の前記半導体層と接する上面より離間した位置には、前記絶縁層の熱膨張係数よりも大きい熱膨張係数を有する応力緩和層が設けられ、

前記半導体層と前記応力緩和層とは、前記絶縁層の一部を介して配置されていることを特徴とする半導体装置。

【請求項 1 0】 前記半導体層と前記応力緩和層との間に介在する前記絶縁層の膜厚は、前記半導体層の膜厚と略同一であることを特徴とする請求項 9 に記載の半導体装置。

【請求項 1 1】 前記応力緩和層の熱膨張係数は、前記半導体層の熱膨張係数と略同程度以上であることを特徴とする請求項 9 に記載の半導体装置。

【請求項 1 2】 前記半導体層および前記応力緩和層は、同一材料にて形成されていることを特徴とする請求項 1 1 に記載の半導体装置。

【請求項 1 3】 前記半導体層および前記応力緩和層は、シリコン膜により形成されていることを特徴とする請求項 1 2 に記載の半導体装置。

【請求項 1 4】 前記シリコン膜は、ノンドープ単結晶シリコン膜、ノンドープ多結晶シリコン膜、又はノンドープアモルファスシリコン膜のいずれかであることを特徴とする請求項 1 3 に記載の半導体装置。

【請求項 1 5】 前記応力緩和層は、ゲルマニウム膜を有する層であることを特徴とする請求項 9 に記載の半導体装置。

【請求項 1 6】 前記応力緩和層は、前記ゲルマニウム膜と、前記ゲルマニウム膜上に設けられ、かつ、前記半導体層に接する第 1 のシリコン膜と、前記ゲルマニウム膜下に設けられる第 2 のシリコン膜とからなる複合膜により構成されていることを特徴とする請求項 1 5 に記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、S O I (silicon on insulator) 構造の M O S F E T (金属-酸化物-半導体-電界効果トランジスタ) を備えた半導体装置に関する。

【 0 0 0 2 】

【従来の技術】

従来のこの種の半導体装置の問題点が下記の文献に示されれている。

【0003】

【非特許文献1】

シー・アイ・フアング他、「薄膜SOI素子においてLOCOSにより生じる応力効果」、アイ・トリプルイー電子デバイス・レター、第44巻第4号、1997年4月、第646～650頁(C.I.Huang 他, "LOCOS-Induced Stress Effects on Thin-Film SOI Devices," IEEE ELECTRON DEVICE LETTERS, Vol. 44, No.4, April 1997, p.646-650)

【0004】

図6(a)及び(b)に従来のSOI構造のMOSFETを備えた半導体装置を示す。同図(a)は、部分空乏型(partially-depleted:PD)デバイスであり、同図(b)は、完全空乏型(fully-depleted:FD)デバイスである。図示のように、これらの半導体装置は、半導体基板21と、基板21上に形成された埋め込み酸化膜(BOX膜)22と、その上に形成されたSOI膜25とを有する。SOI膜25にMOSFETのソース・ドレイン31、及びチャンネル27が形成され、その上にゲート絶縁膜28が形成され、その上にゲート電極29が形成されている。ゲート電極29の両側には、サイドウォール30が形成されている。また、このようなMOSFETは、隣接する他の素子、例えば同様のMOSFETから、素子分離膜26により分離されている。

部分空乏型(partially-depleted:PD)デバイスと完全空乏型(fully-depleted:FD)デバイスの構造的な違いはSOI膜25の厚さ t_{SOI} であり、部分空乏型では通常100乃至200nm程度、完全空乏型では50nm以下の薄いSOI膜が使用される。

SOI(silicon on insulator)MOSFETはその構造的特徴から寄生容量が小さいこと、ラッチアップが起きないこと、ソフトエラー率が低いこと、素子分離が比較的容易であること等の長所を有しており、高速・低消費電力LSIへの適用可能性について大きな関心が向けられている。特に、図6(b)に示される完全空乏型SOIデバイスでは、ゲート下に形成される空乏層がSOI膜25

の下に埋込み酸化膜 22 まで到達するために、空乏層容量が小さくなり、サブスレッショルド係数（S 値）がほぼ理想値まで小さくなる。このため、同一のオフリーク電流とした場合に、しきい値電圧（ V_{th} ）を、バルク（Bulk）デバイスや部分空乏型 SOI デバイス（図 6（a））より小さくできるという利点がある。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、上記の非特許文献 1 において、NMOSFET の相互コンダクタンス（ g_m ）がバルクデバイスに比べ SOI デバイスで小さくなるという結果が報告されている。この報告は、素子分離に LOCOS（local oxidation of silicon）法を用いた場合についてのものであり、その酸化膜が厚いほど相互コンダクタンスの低下が大きくなっている。逆に、PMOSFET においては酸化膜が厚いほど相互コンダクタンスが増大する。この原因として、素子分離領域の酸化膜（ SiO_2 膜）の体積膨張により、SOI 膜に圧縮応力が加えられるためとしている。この応力による電流値の低減は最大 40% 近くにもなり、SOI デバイスのメリットが無くなるため、応力を低減することが重要となる。

【 0 0 0 6 】

上記論文は、素子分離領域の応力の影響により相互コンダクタンスが低下するとの報告であるが、発明者らは、素子分離膜を非常に薄くして素子分離領域からの応力を十分に低減した場合にも、NMOS ではバルクデバイスよりも電流が低減し、PMOS では増大するという現象を観察している。この原因は、上記論文では影響が小さいとされている Si と SiO_2 の熱膨張係数の違いによる応力の、キャリアー移動度への影響と考えている。

【 0 0 0 7 】

積層膜において発生する応力について、図 7 に模式的に示した。熱膨張係数は、Si で $2.5 \times 10^{-6} / ^\circ C$ 、 SiO_2 で $5 \times 10^{-7} / ^\circ C$ であり、半導体装置の製造工程中に酸化シリコンが粘性となる温度（約 $1000^\circ C$ ）に加熱されると、その時に Si と SiO_2 がフラットな状態になっており、そこから温度が下がる過程で熱膨張係数差により Si 膜の方がより大幅に収縮し、その結果図示のように下に凸に反るために Si 膜の上面側に圧縮応力が発生する。

この熱膨張係数の違いにより発生する応力は、S O I 膜厚とB O X膜厚の比（S O I 膜厚／B O X膜厚）が大きいほど大きくなる。このため、S O I 層が薄い完全空乏型S O I デバイスで影響が大きく出やすくなる。B O X膜を薄くすれば、熱膨張係数の違いにより発生する応力の影響は小さくなるが、S O I デバイスのメリットである寄生容量が低いこと、完全空乏型S O I デバイスにおけるS 値が小さいことと言う利点がなくなる。

【 0 0 0 8 】

そこで、本発明の目的は、B O X膜とS O I 膜の熱膨張係数の違いにより発生する応力の影響を受け難く、寄生容量が低く、S 値が小さいなどの良好な特性を有するS O I 構造のM O S F E T を備えた半導体装置を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

本発明の半導体装置は、半導体基板の上に配置された下層埋め込み酸化膜と、その上に配置された応力緩和膜と、その上に配置された上層埋め込み酸化膜と、その上に配置されたS O I 膜とを有し、該S O I 膜にソース、ドレイン及びチャンネルが形成されM O S F E T を有し、上記応力緩和膜の熱膨張係数が上記上層埋め込み酸化膜の熱膨張係数より大きいことを特徴とする。

【 0 0 1 0 】

応力緩和膜は、その熱膨張係数がS O I 膜の熱膨張係数と略等しく又はそれよりも大きいことが望ましい。

応力緩和膜は、例えばシリコン膜で形成されていても良く、或いは、第1のシリコン膜と、その上に配置されたゲルマニウム膜と、その上に配置された第2のシリコン膜とを積層した複合膜で形成されていても良い。

【 0 0 1 1 】

【発明の実施の形態】

以下、添付の図面を参照して本発明の実施の形態を説明する。

【 0 0 1 2 】

第1の実施の形態

図1はこの発明の第1の実施例の、S O I (silicon on insulator) 構造の電

界効果トランジスタ (M O S F E T) を備えた半導体装置を示す概略断面図である。

【 0 0 1 3 】

この半導体装置は、半導体基板 2 1 と、この基板 2 1 上に配置された下層埋込み酸化膜 (B O X 膜) 4 2 と、その上に配置された応力緩和膜 4 3 と、その上に配置された上層 B O X 膜 4 4 と、その上に配置された S O I 膜 2 5 とを有する。つまり、絶縁層である埋め込み酸化膜と、埋め込み酸化膜上に形成された半導体層である S O I 層 2 5 とを有し、S O I 層 2 5 と接する埋め込み酸化膜の上面から所定の距離離間し、かつ、少なくとも S O I 層 2 5 に形成される半導体素子の形成予定領域下に存在する埋め込み酸化膜の一部を介して配置された応力緩和層 4 3 が設けられている。

【 0 0 1 4 】

基板 2 1 は、高抵抗単結晶シリコンで形成されている。下層 B O X 膜 4 2 及び上層 B O X 膜 4 4 は、例えば酸化シリコン (SiO_2) で形成されている。応力緩和膜 4 3 は、シリコン膜で形成されている。言換えると、応力緩和膜 4 3 は S O I 膜 2 5 と同一の材料で構成されているということもできる。このシリコン膜は、例えば、結晶膜、ポリクリスタル膜 (多結晶膜)、又はアモルファス膜で形成されており、N 型及び P 型の不純物を略完全に含まない。即ち、ノンドープ膜である。

【 0 0 1 5 】

S O I 膜 2 5 には、M O S F E T のソース・ドレイン 3 1、及びチャンネル 2 7 が形成されている。チャンネル 2 7 の上にゲート絶縁膜 2 8 が配置され、その上にゲート電極 2 9 が配置されている。ゲート電極 2 9 の両側には、サイドウォール 3 0 が配置されている。

【 0 0 1 6 】

このような M O S F E T は、隣接する他の素子、例えば同様の M O S F E T から、素子分離膜 2 6 により分離されている。素子分離膜 2 6 は、例えば酸化シリコン (SiO_2) で形成されており、S T I (shallow trench isolation) 法により形成されたものである。

【 0 0 1 7 】

本実施の形態の S O I M O S F E T は完全空乏型のものであり、S O I 膜 2 5 は、膜厚が例えば約 5 0 n m である。S O I 層 2 5 と応力緩和層 4 3 との間に介在する上層 B O X 膜 4 4 は、S O I 膜 2 5 と略同じ膜厚であり、例えば約 5 0 n m であり、下層 B O X 膜 4 2 は、上層 B O X 膜 4 4 よりも例えば数倍程度厚く、例えば約 1 5 0 n m である。また、応力緩和膜 4 3 の膜厚は、下層 B O X 膜 4 2 の膜厚と同程度であり、例えば約 1 5 0 n m である。さらに、応力緩和層 4 3 は、上記したようにシリコン膜で形成されており、S O I 膜 2 5 と同程度の熱膨張係数を有する。

【 0 0 1 8 】

以上のように、本実施の形態の構造は、S O I 層 2 5 の下の B O X 膜（図 6 の 2 2 に相当する）が 2 層（4 2、4 4）に分けられ、中間にドーピングされていないシリコン（ノンドーブシリコン）から成る応力緩和膜 4 3 が挿入されている点において、従来の S O I - M O S F E T と異なる。

【 0 0 1 9 】

上記のように、従来の構造では、B O X 膜と S O I 膜の熱膨張係数の違いにより S O I 膜に応力が掛かるが、本実施の形態では、応力緩和膜 4 3 を設けることにより、図 7 に示すような下に凸となる反りを抑制ないし防止している。即ち、応力緩和膜 4 3 も S O I 膜 2 5 と同程度の熱膨張係数を有し、酸化シリコンが粘性となる温度からの温度低下に伴い S O I 膜 2 5 と同程度収縮するため、上層 B O X 4 4 と応力緩和膜 4 3 のみであれば、上に凸に反る。本実施の形態のように、上層 B O X 膜 4 4 を挟んで上下に S O I 膜 2 5 と応力緩和膜 4 3 が配置されている 3 層構造は、下に凸となるか上に凸となるかは、上側の S O I 膜 2 5 と下側の応力緩和膜 4 3 の熱膨張係数、及び厚さによって決まる。上記したように、本実施の形態では、S O I 膜 2 5 と応力緩和膜 4 3 の熱膨張係数は互いに略等しいので、厚さのみで決まる。本実施の形態のように、下側に位置する応力緩和膜 4 3 の方が厚いので、この 3 層構造は上に凸になろうとする。実際には、上記の 3 層のほかに、下層 B O X 膜 4 2 など他の層があり、また素子分離膜 2 6 の影響があるので、上記のように簡単ではないが、従来の構造に比べ S O I 膜とその下に

位置する厚いBOX膜とにより下に凸となる傾向を抑制し得ることは明らかである。このように、SOI膜25が下に凸に反る傾向を抑制する結果、応力によるSOI-MOSFETの特性低下を抑制することができる。

【0020】

そして、上記のように、SOI膜が下に反る傾向を抑制する効果を大きくするには、応力緩和膜43の熱膨張係数と、厚さを大きくすれば良い。

【0021】

このように、応力緩和膜43が厚い程、SOI膜25に掛かる応力が小さくなるので、この点からは応力緩和膜43は厚ければ厚いほど良いが、一方、厚すぎると、後の工程（STI法による素子分離膜形成の際）におけるエッチングが困難となる。そこで、応力緩和膜43の膜厚は、下層BOX膜と同程度の膜厚とすることとしている。

【0022】

また、上層BOX膜44を薄くすることで、SOI膜25や応力緩和膜43に比べ上層BOX膜44の熱膨張係数が比較的小さいことによりSOI膜25や応力緩和膜43に掛かる応力を小さくしている。そして、この小さくなった応力をSOI膜25と応力緩和膜43とで分担しており、その分担割合は、より厚い応力緩和膜43の方が大きい。一方、下層BOX膜42は比較的厚いので、その熱膨張係数が比較的小さいことにより発生する応力は大きいが、その応力は大部分応力緩和膜43に掛かり、SOI膜25には殆ど掛からない。

【0023】

また、下層BOX膜42が存在することにより、ソース・ドレインの基板に対する寄生容量は上層BOX膜44の容量と下層BOX膜42の寄生容量の直列容量とすることができるので、上層BOX膜44と下層BOX膜42を合計した厚さのBOX膜が存在する場合と同等の寄生容量とすることが可能である。さらに、本実施形態における半導体装置によれば、MOSトランジスタ等の半導体素子が形成されるSOI層領域下の埋め込み酸化膜中の所望の位置に応力緩和層43を設けるようにしたので、SOI層への応力の影響を最小限に抑えつつ、応力緩和層43下の下層BOX層42の膜厚を十分に厚くすることも可能となる。つま

り、半導体基板 2 1 と S O I 層 2 5 とを分離する B O X 膜の総膜厚を厚くすることが可能となるため、結果として、半導体装置の寄生容量をさらに低くし、良好な特性を有する S O I デバイスを実現することが可能となる。

【 0 0 2 4 】

さらに、応力緩和膜 4 3 をノンドープ膜とすることでゲート下の空乏層の伸びが S O I 膜 2 5 内で終端する（部分空乏型として動作する）ことが無くなるため、完全空乏型 S O I デバイスとすることが可能となる。

【 0 0 2 5 】

以上のことより、S O I - M O S F E T の S O I 層下の B O X 中にドーピングされていないシリコン（ノンドープシリコン）層から成る応力緩和膜 4 3 を挿入することにより、寄生容量の増大が無く、応力を緩和した高駆動力の S O I - M O S F E T を実現することが可能となる。

【 0 0 2 6 】

以下、上記の半導体装置の製造方法を図 2 及び図 3 を参照して説明する。

先ず、半導体基板 1 1 を用意する（図 2（a））。半導体基板 1 1 は、導電型が例えば p 型である単結晶シリコンウエハである。次に、半導体基板 1 1 の表面に、エピタキシャル成長法により、p マイナス層からなるエピタキシャル成長層 1 2 を形成する（図 2（b））。この場合、エピタキシャル成長層 1 2 の膜厚は例えば 1 0 μ m とされる。

【 0 0 2 7 】

次に、エピタキシャル成長層 1 2 の表面に、酸化処理を施して、酸化シリコン膜 4 4 を形成する（図 2（c））。この酸化シリコン膜 4 4 は後に上層 B O X 膜 4 4 として利用されるものであり、膜厚は例えば約 5 0 n m とされる。エピタキシャル成長層 1 2 のうち、酸化されなかった部分 2 5 がシリコン層として残り、この部分が後に S O I 膜 2 5 として利用される。

【 0 0 2 8 】

次に、酸化シリコン膜 4 4 の表面に C V D 法により、ノンドープ・ポリシリコン膜 1 3 を形成する（図 2（d））。このポリシリコン膜 1 3 の厚さは例えば約 2 3 0 n m とされている。

【 0 0 2 9 】

次に、ポリシリコン膜 1 3 の表面に酸化処理を施して、酸化シリコン膜 4 2 を形成する（図 2（e））。この酸化シリコン膜 4 2 は後に下層 BOX 膜 4 2 として利用されるものであり、膜厚は例えば約 1 5 0 n m とされる。ポリシリコン膜 1 3 のうち、酸化されなかった部分（約 1 5 0 n m）4 3 はポリシリコン層として残り、この部分が後に応力緩和膜 4 3 として利用される。

【 0 0 3 0 】

これにより、S O I 基板の素子形成用半導体基板（ボンド基板）1 0 が形成される。

【 0 0 3 1 】

上記のボンド基板とは別に、ベース用半導体基板 2 1 を用意する（図 3（a））。

このベース用半導体基板 2 1 は、素子形成用半導体基板の半導体基板 1 1 と同様の導電型、例えば p 型である単結晶シリコンウエハである。

【 0 0 3 2 】

次に、ベース用半導体基板 2 1 の表面と、半導体基板 1 1 などから成るボンド基板 1 0 の酸化シリコン膜 1 6 の表面とを向かい合わせた状態で密着した後、熱処理（例えば 1 0 0 0℃程度）法を用いて、熱処理を行ない、それらを密着して貼り合わせる（図 3（b））。

【 0 0 3 3 】

その後、貼り合わされたボンド基板 1 0 の裏面（図 3（b）で上側）から、半導体基板 1 1 を、研磨法を用いて研磨によって取り除き、さらに、エピタキシャル 2 5 を所望の厚さ（例えば約 5 0 n m）となるまで研磨する。これにより、S O I 基板が完成する（図 3（c））。

【 0 0 3 4 】

次に、上記のようにして形成された S O I 基板のエピタキシャル成長層 2 5 の所定の領域に、S T I 法により、例えば酸化シリコン膜などからなる素子分離用絶縁膜 2 6 を形成する（図 3（d））。この S T I において形成されるトレンチは、応力緩和膜 4 3 に達するだけの（応力緩和膜 4 3 には達するが下層 BOX 膜

4 2 には達しない) 深さであっても良く、図示のように下層 BOX 膜 4 2 にまで達する深さであっても良い。

【 0 0 3 5 】

次に、エピタキシャル成長層 2 5 の表面上に、周知の方法で、ゲート絶縁膜 2 8、ゲート電極 2 9、サイドウォールス 3 0 を形成する。

【 0 0 3 6 】

次に、エピタキシャル成長層 2 5 に、例えばリン (P) などの n 型の不純物をイオン注入法を使用してイオン打込みした後、熱拡散装置を使用して n 型の不純物を熱拡散して、N チャネル MOSFET のソースおよびドレインとなる n 型半導体領域 3 1 を形成する (図 1)。

【 0 0 3 7 】

その後、SOI 基板の上に、図示しない絶縁膜、プラグ、配線層などを形成する。これにより、半導体装置が完成する。

【 0 0 3 8 】

以上説明したように、この実施の形態の SOI 構造の MOSFET においては、比較的薄い上層 BOX 膜 4 4 の上に SOI 膜 2 5 が形成され、その下に上層 BOX 膜 4 4 よりも熱膨張係数の大きい応力緩和膜 4 3 が配置されるため、SOI 膜 2 5 が下に凸に反る傾向が抑制され、SOI 膜 2 5 の上面側に掛かる応力 (SOI 膜を構成するシリコンと BOX 膜を構成する酸化シリコンの熱膨張係数の違いにより発生する応力) が小さくなる。このため、応力に起因する NMOSFET での移動度の低下を抑制することができ、高駆動力の SOI-MOSFET とすることが可能である。

【 0 0 3 9 】

なお、上記の実施の形態では、応力緩和膜 4 3 は、ポリシリコンで形成されているが、アモルファスシリコンで形成しても良く、結晶シリコンで形成しても良い。(ポリシリコンとアモルファスシリコンとの間には大きな差はなく、アモルファスシリコンは熱処理過程でポリシリコンとなる。)

【 0 0 4 0 】

上記の実施の形態では、応力緩和層 4 3 は、上記したようにシリコン膜で形成

されており、S O I 膜 2 5 と同程度の熱膨張係数を有するが、応力緩和膜 4 3 の熱膨張係数が S O I 膜 2 5 の熱膨張係数よりも大きければ一層良い。上層 B O X 膜 4 4 の熱膨張係数が比較的低いために S O I 膜 2 5 が下に凸に反る傾向を抑制する上で、その方が一層効果的であるからである。

【 0 0 4 1 】

第 2 の実施の形態

図 4 はこの発明の第 2 の実施例を示す S O I - M O S F E T の構造を示す概略断面図である。

【 0 0 4 2 】

この実施の形態の構成は、第 1 の実施の形態と概して同じであるが、応力緩和膜として、第 1 の実施の形態のポリシリコン膜 4 3 の代わりに、ドーピングされていないシリコン (S i) 膜 / ゲルマニウム (G e) 膜 / シリコン (S i) 膜の複合膜 (積層膜) 5 3 が用いられている。即ち、この複合膜 5 3 は、下層シリコン膜 6 1 と、その上に配置されたゲルマニウム膜 6 2 と、その上に配置された上層シリコン膜 6 3 とから成る。ゲルマニウム膜 6 2 は、上層シリコン膜 6 3 及び下層シリコン膜 6 1 の各々よりも厚い。下層シリコン膜 6 1 の膜厚は例えば約 2 0 n m 、ゲルマニウム膜 6 2 の膜厚は例えば約 1 0 0 n m 、上層シリコン膜 6 3 の膜厚は例えば約 2 0 n m である。複合膜の総厚さは、約 1 4 0 n m であり、下層 B O X 膜 4 2 の膜厚 (約 1 5 0 n m) と略等しい。

【 0 0 4 3 】

上層及び下層シリコン膜 6 1 、 6 3 は、結晶膜、ポリクリスタル膜、又はアモルファス膜で形成されており、N 型及び P 型の不純物を略完全に含まない。また、上層及び下層シリコン膜 6 1 、 6 3 が、ゲルマニウム膜 6 2 に比べて薄い。S O I 層の応力を緩和させる膜としてゲルマニウム膜 6 2 を用いる本第 2 の実施の形態の場合、ゲルマニウム膜の単層により埋め込み酸化膜中に設ける応力緩和層 5 3 を構成することも可能であるが、ゲルマニウム膜 6 2 上下にシリコン膜 6 1 、 6 3 を設けた複合層とすれば、例えばシリコン酸化膜より形成された埋め込み酸化膜との密着性を向上させ、かつ、埋め込み酸化膜 4 2 、 4 4 とゲルマニウム膜 6 2 との界面に発生する界面電位を下げる事が可能となり望ましい。

【 0 0 4 4 】

第 2 の実施の形態の半導体装置の製造方法は、第 1 の実施の形態の半導体装置の製造方法と略同じであるが、応力緩和膜 5 3 の製造工程が異なる。

【 0 0 4 5 】

以下、図 5 を参照して第 2 の実施の形態の半導体装置の製造方法を説明する。と略同様に製造することができる。まず、第 1 の実施の形態について図 2 (a) 乃至図 2 (c) を参照して説明したのと同様、基板 1 1 の上にエピタキシャル成長層 2 5 が配置され、その上に酸化シリコン膜 4 4 が配置された積層構造 (図 2 (c)) を得る。

【 0 0 4 6 】

次に、酸化シリコン膜 4 4 の上に、C V D 法により、まずポリシリコン膜 6 3 を形成し、その上にゲルマニウム膜 6 2 を形成する (図 5 (a)) 。本実施の形態では、応力緩和層 5 3 を構成するゲルマニウム膜 6 2 の膜厚をできる限り厚くすると、S O I 層 2 5 への応力の影響を抑えることが可能となり望ましい。これは、S O I 層 2 5 を構成するシリコン膜に比べて高い熱膨張係数を有するゲルマニウム膜の膜厚を厚くすることで、より多くの応力が応力緩和層 5 3 のゲルマニウム膜 6 2 に掛かり、S O I 層 2 5 に加えられる応力を緩和することができるようになるためである。ここで、ポリシリコン膜 6 3 の膜厚は、例えば約 2 0 n m とされ、ゲルマニウム膜 6 2 の膜厚は例えば約 1 0 0 n m とされる。

【 0 0 4 7 】

次に、C V D 法により、ゲルマニウム膜 6 2 の上にポリシリコン膜 5 5 を形成する (図 5 (b)) 。ここで、ポリシリコン膜 5 5 の膜厚は例えば約 1 7 0 n m とされる。

【 0 0 4 8 】

次に、ポリシリコン膜 5 5 を酸化処理して、下層 B O X 膜 4 2 となる酸化シリコン膜を形成する (図 5 (c)) 。酸化シリコン膜 4 2 は、後に下層 B O X 膜 4 2 として利用されるものであり、その膜厚は例えば約 1 5 0 n m とされる。ポリシリコン膜 5 5 のうち、酸化されなかった部分 6 1 は後に下層ポリシリコン膜 6 1 として利用されるものであり、その膜厚は例えば約 2 0 n m とされる。

【 0 0 4 9 】

このようにして形成したボンド基板 1 0' を、第 1 の実施の形態について図 3 (b) 以降を参照して説明したのと同様に、ベース基板 2 1 と貼り合わせて、S O I 基板を形成し、さらに第 1 の実施の形態と同様にして M O S F E T などの素子を形成することで半導体装置を完成させる。

【 0 0 5 0 】

ゲルマニウムの熱膨張係数は $5.8 \times 10^{-6} / ^\circ\text{C}$ であり、シリコンよりも大きい。従って、S O I 膜 2 5 を下に凸に反らせようとする傾向を一層小さくすることができ、S O I 膜 2 5 に掛かる応力が一層小さくなる。このため、応力に起因する N M O S F E T でのキャリアの移動度の低下を一層抑制することができ、高駆動力の S O I - M O S F E T を得ることができる。

【 0 0 5 1 】

【発明の効果】

以上のように、本発明によれば、S O I 膜と B O X 膜の熱膨張係数の差によって、S O I 膜が下に凸に反る傾向を抑制することができ、従って、B O X 膜と S O I 膜の熱膨張係数の違いにより発生する応力の影響を受け難く、寄生容量が低く、S 値が小さいなどの良好な特性を有する S O I 構造の M O S F E T を備えた半導体装置を得ることができる。

【 0 0 5 2 】

また、応力緩和膜の熱膨張係数が S O I 膜の熱膨張係数と略等しい又はそれよりも大きい場合には、上層 B O X 膜の熱膨張係数が比較的小さいことの影響を、一層小さくすることができる。即ち、上層 B O X 膜の熱膨張係数が比較的小さいことにより、S O I 膜が下に凸に反る傾向を一層抑制することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態の半導体装置を示す断面図である。

【図 2】 第 1 の実施の形態の半導体装置の製造方法の各工程を示す図である。

【図 3】 第 1 の実施の形態の半導体装置の製造方法の各工程を示す図である。

【図 4】 本発明の第 2 の実施の形態の半導体装置を示す断面図である。

【図 5】 第 2 の実施の形態の半導体装置の製造方法の各工程を示す図である。

【図 6】 従来の半導体装置を示す断面図である。

【図 7】 従来の半導体装置の問題点を示す図である。

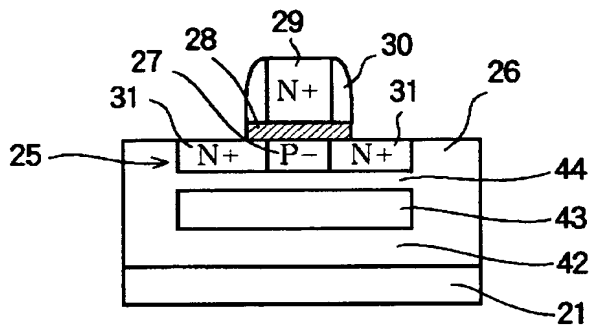
【符号の説明】

2 1 基板、 2 5 S O I 膜、 4 2 下層 B O X 膜、 4 3 応力緩和膜、
4 4 上層 B O X 膜、 5 3 応力緩和膜、 6 1 シリコン膜、 6 2
ゲルマニウム膜、 6 3 シリコン膜。

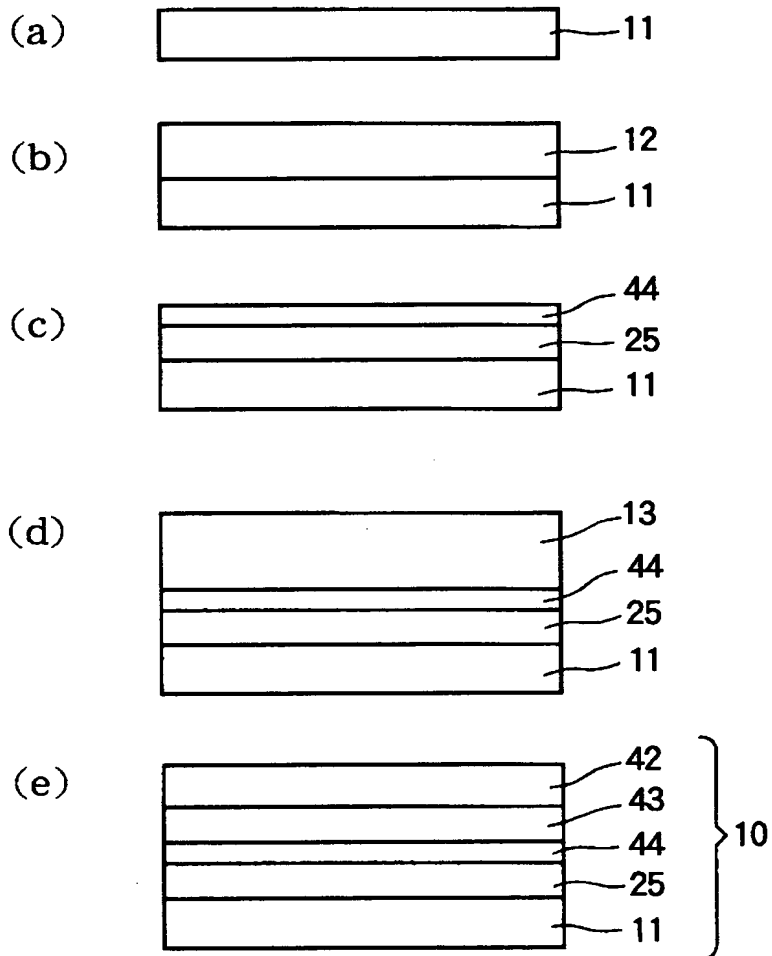
【書類名】

図面

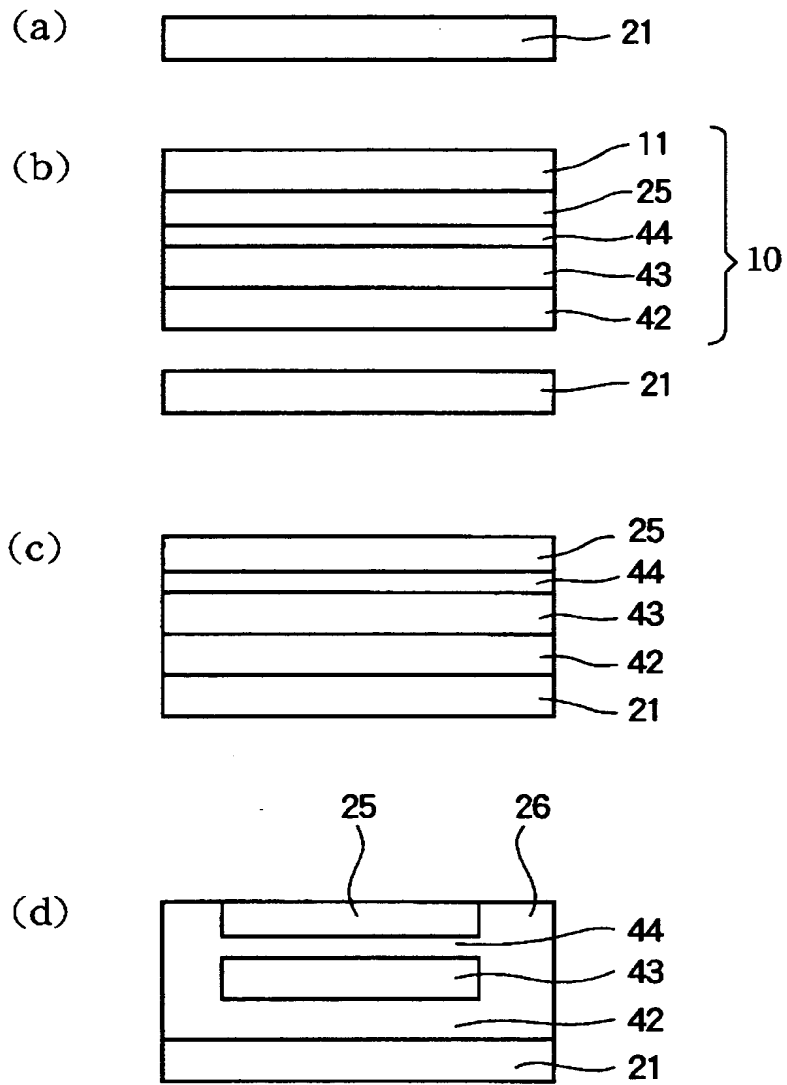
【図 1】



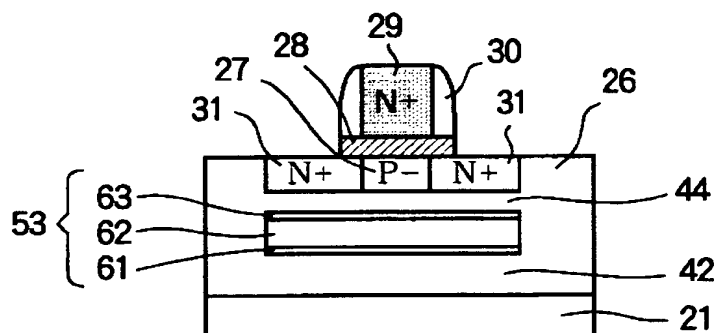
【図 2】



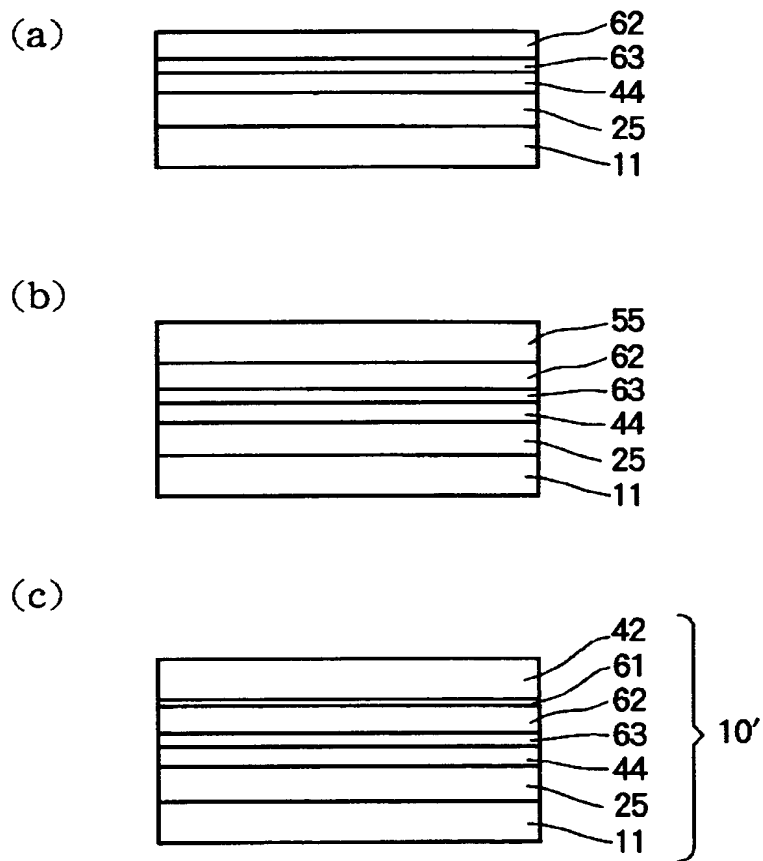
【図 3】



【図 4】

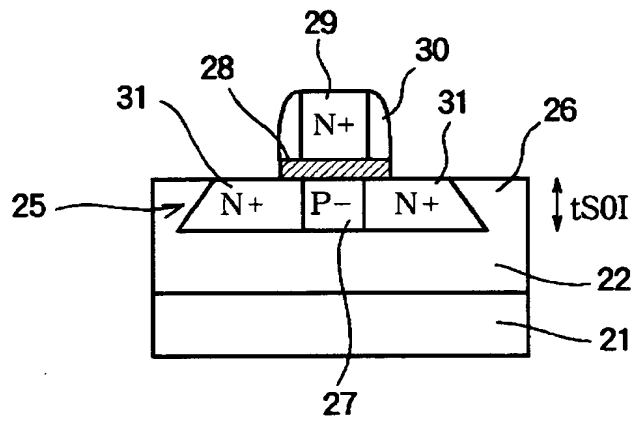


【図 5】

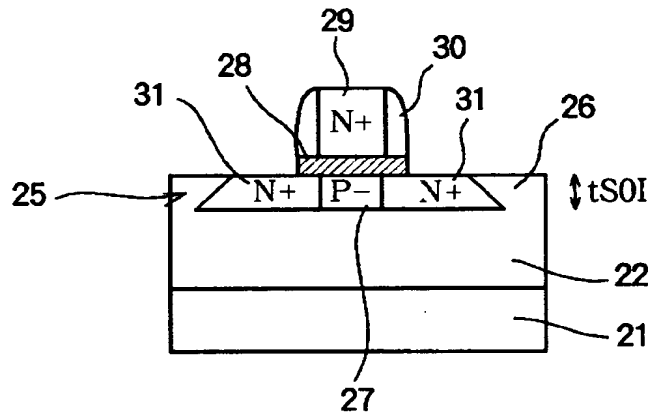


【図 6】

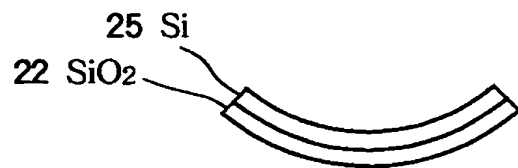
(a)



(b)



【図 7】



【書類名】 要約書

【要約】

【課題】 S O I - M O S F E T を備えた半導体装置において、寄生容量が低く、S 値が小さいなどの良好な特性を失うことなく、埋め込み酸化膜と S O I 膜の熱膨張係数の違いにより発生する応力の影響を受け難くする。

【解決手段】 半導体基板 (2 1) の上に、下層埋め込み酸化膜 (4 2)、応力緩和膜 (4 3、5 3)、上層埋め込み酸化膜 (4 4)、S O I 膜 (2 5) の順に形成され、応力緩和膜 (4 3) の熱膨張係数が上層埋め込み酸化膜 (4 4) の熱膨張係数より大きい。応力緩和膜 (4 3、5 3) は、その熱膨張係数が S O I 膜の熱膨張係数と略等しく又はそれよりも大きいことが望ましく、例えばシリコン膜 (4 3)、或いは、シリコン膜と、その上に配置されたゲルマニウム膜と、その上に配置されたシリコン膜とを積層した複合膜 (5 3) で形成される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社